






CONTINUOUS APPLICATION AND DECOMPRESSION OF TEST PATTERNS TO A CIRCUIT-UNDER-TEST**Patent number:** JP2003526778T**Publication date:** 2003-09-09**Inventor:****Applicant:****Classification:****- International:** G01R31/28; G01R31/3181; G01R31/3183;
G01R31/3185; G01R31/28; (IPC1-7): G01R31/28;
G01R31/3183**- european:** G01R31/3183E; G01R31/3181G; G01R31/3185SD**Application number:** JP20010540825T 20001115**Priority number(s):** US19990167131P 19991123; US20000620021
20000720; WO2000US42211 20001115**Also published as:** WO0139254 (A3)
 WO0139254 (A2)
 US2003120988 (A1)
 JP2006078493 (A)
 EP1242885 (A0)[Report a data error here](#)

Abstract not available for JP2003526778T

Abstract of correspondent: **WO0139254**

A method for applying test patterns to scan chains in a circuit-under-test. The method includes providing a compressed test pattern of bits; decompressing the compressed test pattern into a decompressed test pattern of bits as the compressed test pattern is being provided; and applying the decompressed test pattern to scan chains of the circuit-under-test. The actions of providing the compressed test pattern, decompressing the compressed test pattern, and applying the decompressed pattern are performed synchronously at the same or different clock rates, depending on the way in which the decompressed bits are to be generated. A circuit that performs the decompression includes a decompressor such as a linear finite state machine adapted to receive a compressed test pattern of bits. The decompressor decompresses the test pattern into a decompressed test pattern of bits as the compressed test pattern is being received. The circuit further includes scan chains for testing circuit logic, the scan chains coupled to the decompressor and adapted to receive the decompressed test pattern.

A method for applying test patterns to scan chains (26) in a circuit-under-test (24). The method includes providing a compressed test pattern (32) of bits; decompressing the compressed test pattern into a decompressed test pattern of bits as the compressed test pattern is being provided; and applying the decompressed test pattern to scan chains of the circuit-under-test. The actions of providing the compressed test pattern, decompressing the compressed test pattern, and applying the decompressed pattern are performed synchronously at the same or different clock rates, depending on the way in which the decompressed bits are to be generated. A circuit that performs the decompression includes a decompressor (36) such as a linear finite state machine adapted to receive a compressed test pattern of bits. The decompressor decompresses the test pattern into a decompressed test pattern of bits as the compressed test pattern is being received. The circuit further includes scan chains for testing circuit logic, the scan chains coupled to the decompressor and adapted to receive the decompressed test pattern.

Data supplied from the esp@cenet database - Worldwide

JP 3845016 B2 2006.11.15

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第3845016号

(P3845016)

(45) 発行日 平成18年11月15日 (2006.11.15)

(24) 登録日 平成18年8月25日 (2006.8.25)

(51) Int. Cl.

F I

G 0 1 R 31/28 (2006.01)

G 0 1 R 31/28

G

G 0 1 R 31/3183 (2006.01)

G 0 1 R 31/28

Q

請求項の数 41 (全 20 頁)

(21) 出願番号 特願2001-540825 (P2001-540825)
 (86) (22) 出願日 平成12年11月15日 (2000.11.15)
 (65) 公費番号 特装2003-526778 (P2003-526778A)
 (43) 公表日 平成15年9月9日 (2003.9.9)
 (86) 国際出願番号 PCT/US2000/042211
 (87) 国際公開番号 WO2001/039254
 (87) 国際公開日 平成13年5月31日 (2001.5.31)
 審査請求日 平成14年5月21日 (2002.5.21)
 (31) 優先権主張番号 60/167, 131
 (32) 優先日 平成11年11月23日 (1999.11.23)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 09/620, 021
 (32) 優先日 平成12年7月20日 (2000.7.20)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 500241860
 メンター・グラフィクス・コーポレーショ
 ン
 アメリカ合衆国・97070・オレゴン州
 ・ウィルソンビル・サウスウエスト ベッ
 クマン ロード・8005
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大賀 進介
 (74) 代理人 100107766
 弁理士 伊東 忠彦

最終頁に続く

(54) 【発明の名称】 テスト中回路技術分野へのテストパターンの連続的な適用およびデコンプレッション

(57) 【特許請求の範囲】

【請求項 1】

テスト中回路において走査チェーンにテストパターンを適用する方法において、
 ビットの圧縮したテストパターンをデコンプレッサーに提供し、
 上記圧縮したテストパターンが提供される際、ビットの解凍されたテストパターンへと
 上記圧縮したテストパターンを解凍し、上記デコンプレッサーから上記解凍されたテスト
 パターンを出力し、

上記テスト中回路の走査チェーンに上記解凍されたテストパターンを適用する方法。

【請求項 2】

上記圧縮したテストパターンが提供される際、上記テスト中回路の走査チェーンに上記 19
 解凍されたテストパターンを適用することを有する請求項 1 の方法。

【請求項 3】

上記解凍されたパターンが適用される走査チェーンの数より少ない入力チャネルの数で、
 テスト中回路に入力チャネルを介して上記圧縮したテストパターンを提供することを有
 する請求項 1 の方法。

【請求項 4】

上記圧縮したテストパターンを提供し、上記圧縮したテストパターンを解凍し、上記解
 凍されたパターンを適用することが同じクロックレートで同期して実行される請求項 1 の
 方法。

【請求項 5】

20

(2)

JP 3845016 B2 2006.11.15

上記圧縮したテストパターンは、より低いクロックレートで提供され、上記圧縮したテストパターンは、より高いクロックレートで同期して解凍され適用される請求項1の方法。

【請求項6】

上記圧縮したパターンは、より高いクロックレートで提供され解凍され、上記解凍されたパターンは、より低いクロックレートで同期して適用される請求項1の方法。

【請求項7】

上記圧縮したテストパターンを解凍することは、同時に提供されている圧縮したテストパターン・ビットの数より多数の解凍されたテストパターン・ビットを生成することを有する請求項1の方法。

10

【請求項8】

上記圧縮したテストパターン・ビットが提供される入力の数より解凍されたテストパターン・ビットに多くの出力を提供することによって、より多くのビットが生成される請求項7の方法。

【請求項9】

上記圧縮したテストパターン・ビットが提供されるクロックレートより高いクロックレートで上記解凍されたテストパターン・ビットを生成することによって、より多くのビットが生成される請求項7の方法。

【請求項10】

上記走査チェーンに解凍されたテストパターンを適用することは、同時に提供された圧縮したテストパターン・ビットの数より多数の、走査チェーンへ多数の解凍されたテストパターン・ビットを適用することを有する請求項1の方法。

20

【請求項11】

圧縮したテストパターンを提供することは、テストでビットの連続するストリームを生成し、上記テスト中回路に連結されたデコンプレッサーの入力チャンネルに連続する該ストリームを適用することを有する請求項1の方法。

【請求項12】

圧縮したテストパターンを提供することは、テストでビットの並列のストリームを生成し、該並列のストリームを連続ストリームに変換し、そして、上記テスト中回路につながれたデコンプレッサーの入力チャンネルに該連続ストリームを適用することを有する請求項1の方法。

30

【請求項13】

圧縮したテストパターンを解凍することは、圧縮したテストパターンを論理上2ビット以上組み合わせることにより、上記解凍されたパターンの1ビット以上を生成することを有する請求項1の方法。

【請求項14】

上記圧縮したテストパターンを論理上2ビット以上組み合わせることは、XOR演算によって上記ビットを組み合わせることを有する請求項13の方法。

【請求項15】

上記圧縮したテストパターンを論理上2ビット以上組み合わせることは、XNOR演算によって上記ビットを組み合わせることを有する請求項13の方法。

40

【請求項16】

上記圧縮したテストパターンは決定論的なテストパターンである請求項1の方法。

【請求項17】

上記提供することと解凍することとは、テスト中回路内で発生する請求項1の方法。

【請求項18】

上記提供することと解凍することとは、テスト中回路の走査チェーンに解凍されたテストパターンを適用するテスト内で発生する請求項1の方法。

【請求項19】

テスト中回路において走査チェーンにテストパターンを適用するためのシステムにおい

50

(3)

JP 3845016 B2 2006.11.15

て、

ビットの圧縮したテストパターンをデコンプレッサーに提供するための手段と、

圧縮したテストパターンが提供される際、ビットの解凍されたテストパターンへ上記圧縮したテストパターンを解凍し、上記デコンプレッサーから上記解凍されたテストパターンを出力するための手段と、

テスト中回路の走査チェーンに解凍されたテストパターンを適用するための手段とを有するシステム。

【請求項 20】

ビットの解凍されたテストパターンへ上記圧縮したテストパターンを解凍するための上記手段は、テストター内に含まれる請求項 19 のシステム。

【請求項 21】

ビットの解凍されたテストパターンへ上記圧縮したテストパターンを解凍するための上記手段は、上記テスト中回路内に含まれる請求項 19 のシステム。

【請求項 22】

圧縮したテストパターンが受信される際、ビットの該圧縮したテストパターンを受信し、かつビットの解凍されたテストパターンへ該テストパターンを解凍するために適用されたデコンプレッサーと、

回路論理と、

デコンプレッサーに連結されて、解凍されたテストパターンを受け取るために適用した、回路論理をテストするための走査チェーンとを有する回路。

【請求項 23】

上記デコンプレッサーは、上記圧縮したテストパターンを受信するために適用された線形有限状態マシンを有する請求項 22 の回路。

【請求項 24】

上記線形有限状態マシンは線形のフィードバック・シフトレジスタを有する請求項 23 の回路。

【請求項 25】

上記線形有限状態マシンがセル・オートマトンを有する請求項 23 の回路。

【請求項 26】

上記デコンプレッサーは、上記線形の有限状態マシンと上記走査チェーンの間に連結された移相器を有する請求項 23 の回路。

【請求項 27】

上記移相器は XNOR ゲートの配列を有する請求項 26 の回路。

【請求項 28】

上記移相器は XNOR ゲートの配列を有する請求項 26 の回路。

【請求項 29】

上記走査チェーンは上記圧縮したテストパターンがデコンプレッサーによって受信されている際に、上記解凍されたテストパターンを受信するために適用された請求項 22 の回路。

【請求項 30】

圧縮したテストパターンのビットに並列に受信する複数の入力チャンネルおよび複数の出力チャンネルを有し、

ビットの圧縮したテストパターンを受信し、かつビットの解凍されたテストパターンへテストパターンを解凍するために適用されたデコンプレッサーと、

回路論理と、

デコンプレッサーの出力に連結されて、並列中の解凍されたテストパターンを受信するために適用した、回路論理をテストするための走査チェーンとを有する回路。

【請求項 31】

上記走査チェーンから読み取られたテスト応答を圧縮するために適用された 1 以上の空間圧縮器を有する請求項 30 の回路。

(4)

JP 3845016 B2 2006.11.15

【請求項 3 2】

ビット列を圧縮したテストパターンから生成するステート・マシンであって、
その圧縮したテストパターンから受信したビットによって、マシン内に格納されたビットを論理上組み合わせるために適用した2 以上の入力ロジック・ゲートを有する線形有限状態マシンと、

論理上ビットの解凍されたパターンを生むために上記線形有限状態機械によって生成された2ビット以上を組み合わせるために適用された、該線形有限状態機械に連結された移相器と、

上記移相器に連結され、解凍されたテストパターンを上記移相器から受信するために適用した走査チェーンとを有する回路。

10

【請求項 3 3】

走査チェーンの数は入力チャネルの数より大きい請求項 3 2 の回路。

【請求項 3 4】

ビットの圧縮したテストパターンの1セットを格納するために適用された記憶装置と、
上記記憶装置に連結されたデコンプレッサーと、
上記圧縮したテストパターンが受信される際、記憶装置から提供されるビットの圧縮したテストパターンを受信し、ビットの解凍されたテストパターンへテストパターンを解凍するために適用されたデコンプレッサーと、

解凍されたテストパターンを受信し、テスト中回路に上記解凍されたテストパターンを適用するために適用された、上記デコンプレッサーに連結された1以上のテスター・チャネルとを有するテスター。

20

【請求項 3 5】

上記テスト中回路から受信された上記解凍されたテストパターンに対するテスト応答を圧縮するために適用された圧縮器を有する請求項 3 4 のテスター。

【請求項 3 6】

テスト中回路中の走査チェーンにテストパターンを適用する方法において、
テスター内にビットの圧縮したテストパターンを提供し、
上記圧縮したテストパターンが提供される際、該圧縮したテストパターンをビットの解凍されたテストパターンへテスター内で解凍し、

テスターからテスト中回路の走査チェーンに解凍されたテストパターンを適用する方法

30

【請求項 3 7】

上記テスト中回路から受信した上記解凍されたテストパターンに対するテスト応答をテスター内で圧縮することを有する請求項 3 6 の方法。

【請求項 3 8】

テスト中回路中の走査チェーンにテストパターンを適用する方法において、
ビットの圧縮したテストパターンを提供するためのステップと、
上記圧縮したテストパターンが提供される際、ビットの解凍されたテストパターンへ上記圧縮したテストパターンを解凍し、上記デコンプレッサーから上記解凍されたテストパターンを出力するためのステップと、

40

上記テスト中回路の走査チェーンに上記解凍されたテストパターンを適用するためのステップとを有する方法。

【請求項 3 9】

上記デコンプレッサーの入力に夫々接続される1以上のレジスタを更に有する請求項 2 記載の回路。

【請求項 4 0】

上記デコンプレッサーの上記入力チャネルに夫々接続される1以上のレジスタを更に有する請求項 3 0 の回路。

【請求項 4 1】

上記デコンプレッサーの上記入力ロジック・ゲートに夫々接続される1以上のレジスタを

50

(5)

JP 3845016 B2 2006.11.15

更に有する請求項 3.2 の回路。

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、一般に、集積回路テストに関し、特に、パターンまたはベクターの形態でのテスト・データの生成および適用、テスト中回路内の走査チェーンに関する。

【背景技術】

集積回路がより大きいレベルの回路密度で生産されるとともに、テストコストおよびチップ領域諸経費を最小限にする一方で、非常に高い障害検出率を保証する効果的なテスト手法が不可欠となっている。しかしながら、回路の複雑さが増加し続けるとともに、いくつかのタイプの障害モデルの高い障害検出率を従来のテスト例で達成することがより困難になっている。この困難はいくつかの理由によって生じる。第一に、大規模集積回路は、チップ・ピンでテスト・データ転送ボトルネックを作成する、非常に高いが更に高くなっている $\log ic-t o-p i n$ 比率を有する。第二に、大規模回路には、その後、外部テスト装置に格納されるに違いない法外に大量のテスト・データが要求される。第三に、大規模な回路にテスト・データを適用するには、ますます長いテスト適用時間を必要とする。そして、第四に、現在の外部テスト装置は、演算の速度でそのような大規模回路をテストすることができない。

【0002】

集積回路は、現在、多くの試験性構造化設計の (DFT) 技術を使用して、テストされる。これらの技術は、すべてあるいはいくつかの状態変数 (フリップフロップとラッチのような記憶素子) を直接制御可能で観察可能にする一般的な概念に基づいている。これが調整される場合、組み合わせ障害のテストが関係する限り、回路は組み合わせネットワークとして扱うことができる。最もしばしば用いられている DFT 方法論は、走査チェーンに基づいている。米国特許 4, 503, 537 号において示されるように、テストの間、一つ以上のシフトレジスタへ記憶素子がすべて (又はほとんど全部) 接続されると仮定する。テスト用に設計された回路は 2 つの演算モードを持っており、標準形およびテスト、又は走査モードである。標準形において、記憶素子はそれら正則関数を実行する。走査モードにおいて、記憶素子は、走査チェーンと呼ばれる多くのシフトレジスタを形成するために接続される走査セルになる。これら走査チェーンは、1 セットのテストパターンを回路へシフトし、回路からシフトアウト、又はテストパターンをテスト、応答するために使用される。

【0003】

走査設計方法論は、その単純自動テストパターン生成 (ATPG) およびシリコン・デバッグ能力によって、広範囲に採用されている。今日、ATPG ソフトウェア・ツールは、非常に効率的であり、縮退障害、遷移障害、経路遅延障害、及び、ブリッジング障害を含む障害モデルのいくつかのタイプに対してほとんど完全な障害検出率を保証するテストセット (テストパターンのコレクション) を生成することが可能である。典型的に、回路の特定の潜在的欠陥が ATPG ツールによって目標とされる場合、例えば、2 から 5 % の少数の走査セルだけが、特定障害 (決定論的に特定されたセル) を検知すると明示されなければならない。走査チェーン中の残りの走査セルはランダムな 2 進法の値 (任意に特定されたセル) で満たされる。より補足の障害を検知しがちな完全にパターンが特定されるこの方法は、テスター上に格納することができる。

【0004】

ランダムで十分な要求によって、しかしながら、テストパターンは非常に過度に特定される。これらの大規模なテストパターンは、格納するための広範囲なテスター・メモリと、テスターからテスト中回路に適用するための相当な時間とを必要とする。図 1 は、走査チェーンによってデジタル回路をテストするための従来システム 18 を示す図である。外部の自動試験装置又はテスター (ATE) 20 は、回路内の走査チェーン 26 によって走査モードにおける CUT 24 に十分に特定されたテストパターン 22 のセットを一つずつ

(6)

JP 3845016 B2 2006.11.15

適用する。その後、回路は入力としてテストパターンを使用して標準形において実行され、テストパターンに対するテスト応答は走査チェーンに格納される。走査モードで再び回路で、応答は、その後、障害無し基準応答28と応答とを比較するテスト20へと、さらに一つずつ経路が定められる。大規模な回路については、このアプローチが、大規模なテストセット・サイズおよび長いテスト適用時間のために実行不可能になる。大規模な設計において、テスト・データのボリュームが単一のロジック・ゲート当たり1キロビットを超えることが報告されている。このアプローチの重要な制限は、複雑な回路をテストするために、高価で大容量メモリを必要とするテストおよび長いテスト時間を必要とするということである。

【0005】

米国特許4,503,537号において示されるように、時間と記憶装置のこれらの制限は、組み込みの自己テスト(BIST)構成の採用によりある程度まで克服することができる。BISTにおいて、付加的なオンチップ回路は、テストパターンを生成し、テスト応答を評価し、テストを制御するために含まれている。従来のロジックBISTの中で、擬似乱数的なパターンがテストパターンとして使用される場合、もしテストポイントがランダムなパターンの耐性の障害に取り組むために使用されれば、縮退障害の95-96%の範囲は達成することができる。平均においては、1-2つのテストポイントがゲート1000個ごとに必要になるかもしれない。BISTの中で、観察可能な出力及び符号レジスタに広げる応答全てを知らなければならない。未知の値は符号を悪くし、したがって追加のテスト・ロジックによって制限されなければならない。たとえ偽似乱数のテストパターンが縮退障害のかかなりの割合をカバーするように見えても、決定論的なパターンは、残りのランダムパターン耐性障害を目的とする、これらのパターンを補わなければならない。非常にしばしば、BISTに追加のパターンを格納するのに必要なテスト・メモリは、上述された決定論的なアプローチにおいて要求されたメモリの50%を超過する。BISTの別の制限は、遅延または経路の遅延障害のような他のタイプの障害が、擬似ランダムパターンによって、効率的に扱われないということである。回路及びBISTに固有の制限の複雑さのため、不可能でないにしても、テスト困難な障害を十分にカバーする特定されたテストパターンのセットを提供することは非常に困難である。

【0006】

重み付けされた偽似乱数のテストは、ランダムパターン耐性障害の問題に取り組むために使用される別の方法である。原理において、このアプローチは、入力ビットの可能性にバイアスをかけることにより偽似乱数のテストパターン・ジェネレータを拡張し、テスト困難な障害に必要なテストがより発生するようにする。一般的に、しかしながら、回路は、非常に多数の重みのセットを要求するかもしれないし、また、各重みセットについては、多くのランダムなパターンを適用しなければならない。さらに、重みが増えられた偽似乱数のテストは、まだほんの少しの障害リストを範囲外としておく。したがって、テスト・データのボリュームは十分に特定された決定論的なテストパターンに比較で通常縮小されるが、結果として生じるテスト適用時間は増加する。さらに、重みが増えられた偽似乱数のテストは、まだ障害リストのほんの少しに覆いを取らせられておいておく。重みが増えられたランダム・パターン・テスト・システムおよび関連する方法の詳細は、米国特許4,687,988号、4,801,870号、5,394,405号、5,414,716号、及び、5,612,963号を含む多くの引用例で見つけることができる。重みが増えられたランダムパターンは、テスト上のテスト・データを圧縮する解決として、第1に使用されていた。生成ハードウェアは複雑すぎるので、チップにそれを置くことができないように見える。従って、多量のテスト・データは生成されたオフチップであり、テスト中回路に比較的遅いテスト・チャネルを通り抜けなければならない。効果的に、テスト適用時間は、従来の決定論的なアプローチを使用するATPGパターンによって消費されたそれよりはるかに長くなりえる。

【0007】

テスト中回路に送信する前にテスト・データを圧縮するいくつかの方法が提案されている

(7)

JP 3845016 82 2006.11.15

。それらは、テスト立方体（つまり、テスト中回路の走査チェーン内にそれら格納されるようなテストパターン・ビットの配置）は、多数の未特定の（どちらでもかまわない）位置を頻繁に特色とする観察に基づく。線形のフィードバック・シフトレジスタ（LFSR）の自生として知られている1つの方法は、ヨーロッパのテスト会の議事録pp. 237-242（1991）のB. Koenemannの「走査設計用LFSRコード化テストパターン」中で最初に提案された。固定多項式を備えたn-ビットLFSRを考慮すると、その出力シーケンスは、初期のシードによって完全に決定される。したがって、フィードバック方程式の適用は、周期的にシード変数のみに依存する線形方程式のシステムを提供する。これらの方程式は、LFSR出力シーケンスの連続の位置に関係している。従って、実際のテストパターンに対応するシードは線形方程式の系の解により決定することができる。そこでは、各方程式は、テストパターンにおいて特定された位置のうちの1つを表わす。LFSRに結果として生ずるシードをロードし続いてそれを計測することは、所望のテストパターンを生み出す。しかしながら、このアプローチの損失は、テスト立方体の内容をエンコードするシードがほぼLFSRのサイズに制限されたということである。テスト立方体がLFSRの中の段数より多くの特定された位置を持っている場合、テスト立方体は容易にシードでエンコードすることができない。このアプローチの別の損失はそれが必要とする時間である。テスターは、シードからのテストパターンを生成するLFSRと同時にシードでLFSRを満たすことができない。これらの行為の各々は相互に排他的な時に行われなければならない。すなわち、種子がLFSRに連続的にロードされる場合、走査チェーンは作動し、また、走査チェーンがロードされたとき、テスターはLFSRにシードを転送することができない。

【0008】

別の圧縮方法は、IEEE Trans. On Computers, vol. C-44, pp. 223-233（1995）のS. Hellebrandらの「多数の多項式の線形のフィードバック・シフトレジスタの自生に基づいた走査による回路用組み込みのテスト」にて提案されるような多数の多項式LFSR（MP-LFSR）の自生に基づいている。この方法において、テスト立方体の連鎖状のグループは、シードおよび多項式識別子を特定する多くのビットでエンコードされる。MP-LFSRの内容は各テスト・グループのためにロードされ、グループ内の各テスト立方体のデコンプレッション中に保存されていなければならない。デコンプレッサーの実装は、1グループのテストパターンのデコンプレッション中にMP-LFSRの内容に上書きすることを回避するために余分な記憶素子を加えることを伴っている。同様の技術が、ICCAD議事録pp. 88-94（1995）のS. Hellebrandらの「決定論的なBISTスキームのためのパターン生成」でも議論されている。MP-LFSRの自生は、VLSIテスト・シンポジウム議事録pp. 426-433（1995）のJ. Rajskiらの「可変長シードLFSRを使用するテスト・データのデコンプレッション」、及び、IEEE Trans. on Computers, vol. C-47, pp. 1188-1200（1998）のJ. Rajskiの「境界走査による多数走査設計のためのテスト・データ・デコンプレッション」にて記述されるような可変長シードの概念の採用によりさらに機能拡張された。この技術は、多くの特定された位置を多分に変化することによるテスト立方体に対して、テストパターン符号化効率の著しい改良の可能性がある。境界走査によってデコンプレッサー構成にシードをロードするために、同じドキュメントは、多数の走査チェーンおよび機構を備えた回路のためにデコンプレッション技術を提案する。このスキームは符号化能力を著しく改善するが、まだ上記の2つの欠点を被る。シードをロードし、テストパターンをそこから生成するためのシード長制限および相互に排他的回数である。

【0009】

上記自生方法は、このように次の制限を被る。第一に、自生可能な符号化は、LFSRの長さによって制限されている。一般的に、LFSRの長さより特定された位置を有するテスト立方体をエンコードすることは非常に困難である。第二に、シードとテストパターン

(8)

JP 3845016 B2 2006.11.15

生成をそこからロードすることは2つの別のオーバーラップしない位相において行われる。これはテスター時間の不十分な利用に帰着する。テスト適用時間およびテスト・データ・ボリュームを縮小する異なる試みは、FTCS-29の議事録のpp. 260-267 (1999)のI. Hamzaogluらの「十分な走査埋め込みコアのためのテスト適用時間縮小」にて記述される。このいわゆる並列直列フル走査スキームは、走査チェーンを多数のパーティションに分割し、一つの走査入力によって各走査チェーンにて同じテストパターンでシフトする。明らかに、与えられたテストパターンは、同じ入力によってロードされた異なるチェーンにて、対応するセル上で矛盾している値を含んではならない。部分的に特定されたテスト立方体はそのような演算を許可するかもしれないが、このスキームの性能は強く走査チェーン構成に依存する。つまり、使用される走査チェーンの数、および走査チェーンへの記憶素子の割当てである。大規模な回路において、そのようなマッピングが恐らくどんな所望の形式も仮定しない。また、したがって、解決は容易に量れるものではない。更に、このスキームを使用するテスターは、多くのテスターに共通でない特徴となる、異なる走査チェーンの長さのテストパターンを扱うことができなければならない。

【発明の要約】

本発明に係るテスト中回路において走査チェーンにテストパターンを適用する方法は、ビットの圧縮したテストパターンを提供し、上記圧縮したテストパターンが提供される際、ビットの解凍されたテストパターンへ上記圧縮したテストパターンを解凍し、上記テスト中回路の走査チェーンに上記解凍されたテストパターンを適用することを有する。所望ならば、該方法は、上記圧縮したテストパターンが提供される際、上記テスト中回路の走査チェーンに上記解凍されたテストパターンを適用することを更に有しても良い。

【0010】

上記方法は、また、上記圧縮したテストパターンを提供し、上記圧縮したテストパターンを解凍し、上記解凍されたパターンを適用することが同期して実行されることを有する。これら行為は同じクロックレートで実行されても良い。代わりに、上記圧縮したテストパターンは、より低いクロックレートで提供され、上記圧縮したテストパターンは、より高いクロックレートで同期して解凍され適用されても良い。また他に、上記圧縮したパターンは、より高いクロックレートで提供され解凍され、上記解凍されたパターンは、より低いクロックレートで同期して適用されても良い。

【0011】

上記圧縮したテストパターンを解凍することは、同時間に提供されている圧縮したテストパターン・ビットの数より多数の解凍されたテストパターン・ビットを生成することを有しても良い。一方法として、上記圧縮したテストパターン・ビットが提供される入力の数より解凍されたテストパターン・ビットに多くの出力を提供することによって、より多くのビットが生成されても良い。他の方法として、上記圧縮したテストパターン・ビットが提供されるクロックレートより高いクロックレートで上記解凍されたテストパターン・ビットを生成することによって、より多くのビットが生成されても良い。

【0012】

圧縮したテストパターンを解凍することは、圧縮したテストパターンを論理上2ビット以上組み合わせることにより、上記解凍されたパターンの各ビットを生成しても良い。この論理上以上組み合わせることは、XOR演算、XNOR演算、又はそれら2つの演算の組み合わせによって上記ビットを組み合わせることを有しても良い。

【0013】

本発明の一実施例において、上記提供することと解凍することとは、テスト中回路内で発生する。本発明の他の実施例において、上記提供することと解凍することとは、テスト中回路の走査チェーンに解凍されたテストパターンを適用するテスター内で発生する。

【0014】

本発明に係る回路は、回路論理のテストのためにデコンプレッサー、回路論理および走査チェーンを有しても良い。上記圧縮したテストパターンが受信される際、上記デコンプレ

(9)

JP 3845016 B2 2006.11.15

ッサーは、ビットの圧縮したテストパターンを受信し、かつビットの解凍されたテストパターンへテストパターンを解凍するために適用される。上記走査チェーンはデコンプレッサーに連結され、解凍されたテストパターンを受信するために適用される。デコンプレッサーは、圧縮したテストパターンを受信するために適用された線形有限状態マシンを有しても良い。

【0015】

本発明に係るテスターは、記憶装置、デコンプレッサーおよび1以上のテスター・チャンネルを有しても良い。上記記憶装置は、ビットの圧縮したテストパターンの1セットを格納するために適用される。上記デコンプレッサーは、上記記憶装置に連結され、上記記憶装置から提供されるビットの圧縮したテストパターンを受信し、上記圧縮したテストパターンが受信される際、ビットの解凍されたテストパターンへテストパターンを解凍するために適用される。テスター・チャンネルは、上記デコンプレッサーに連結され、解凍されたテストパターンを受信し、かつ回路下位テストに解凍されたテストパターンを適用するために適用される。

【0016】

本発明のこれら及び他の態様及び特徴は、添付の図面を参照して以下に記述される。

【発明の実施の形態】

ここに示され記述されるようなテストパターンを圧縮する方法は、コンピュータ判読可能な媒体上に格納され、汎用計算機上で行なわれたソフトウェアにおいて実装される。例えば、本発明は、コンピュータ支援設計ツールにおいて実行することができる。明瞭とするため、発明に密接に関係のあるソフトウェアのそれらの態様だけが記述される。技術にて周知の製品詳細は、省略される。同様の理由により、コンピューターハードウェアは一層に詳細に記述されない。任意の特定の計算機言語、プログラムあるいはコンピュータに発明が制限されていないことはしたがって理解されるべきである。

【0017】

図2は、走査チェーンによってデジタル回路をテストするための発明に係るシステム30のブロック図である。該システムは、外部の自動テスト装置(A TE)のようなテスター21、およびそのすべてあるいは部分としてテスト中回路(C UT)24を含んでいる回路34を含んでいる。テスター21は、記憶装置からビットの圧縮したテストパターン32の1セット、つまり、一度に1つのパターンを、I Cのような回路34への入力チャンネル40を介して提供する。

【0018】

記述される圧縮したパターンは、従来の圧縮されていないテストパターンよりはるかに少ないビットを含んでいる。圧縮したパターンは、決定論的に特定されたビットを再生にのみ十分な情報を含んでいる必要がある。従って、圧縮したパターンは典型的に従来のテストパターンのサイズの2%から5%で、従来のパターンより記憶装置に対して非常に少ないテスター・メモリを必要とする。重要なこととして、圧縮したテストパターンは、C UT24へのテスターから送信する非常により少ない時間を必要とする。

【0019】

上記従来の自生技術とは異なり、割込みのないC UT24内のチェーン26を走査するために、圧縮したテストパターン32は、テスター21から連続的に提供される。圧縮したテストパターンがテスター21によって、回路34内のデコンプレッサー36の入力チャンネルに備えられとともに、デコンプレッサーは、圧縮したパターンをビットの解凍されたパターンへと解凍する。解凍されたテストパターンは、走査チェーン26に適用される。圧縮したテストパターンが回路34に提供されている際に、好ましくはこの適用が行われる、が、そのようである必要はない。C UT24内の回路論理が、走査チェーン26中の解凍されたテストパターンで計測された後、そのパターンに対するテスト応答は走査チェーンにおいて取り込まれ、そこに格納された圧縮した障害無し基準応答41との比較のためにテスター21に送信される。

【0020】

(10)

JP 3845016 B2 2006.11.15

典型的な構成において、デコンプレッサー 36 は走査チェーン 26 ごとに出力があり、デコンプレッサーへの入力チャンネルより多くの走査チェーンがある。しかしながら、記述されるように、他の構成においても、デコンプレッサー出力が入力チャンネルより少ないが等しいようにすることが可能である。デコンプレッサーは、それが同じ時限中に受け取る圧縮したパターン・ビットの数よりその出力で与えられた時限において多くの解凍されたビットを生成する。これはデコンプレッションの行為であり、それによってデコンプレッサー 36 は与えられた時限においてそれに提供されるより多いビットの数を生成する。

【0021】

10 テスターに応答を送るためのテスト応答および時間のデータ・ボリュームを縮小するために、回路 34 は、走査チェーン 26 から読み取られるテスト応答を圧縮するための手段を含むことができる。そのような圧縮を提供するための 1 つの構成は 1 以上の空間圧縮器 38 である。そして、圧縮器 38 によって生み出された圧縮したテスト応答は、圧縮した基準応答 40 と一つずつ比較される。基準応答が実際の応答と一致しない場合、障害が検知される。図 3 は、テスト応答の圧縮のために使用することができる別の構成を示す図である。マルチ入力符号レジスタ (MISR) 42 は、多数のテストパターン応答を圧縮してその後、テスターに送られる符号に詰め込む。それは基準符号 44 と比較される。上記の方法におけるテスト応答の圧縮は望ましいが、現在のデコンプレッション方法およびシステムに必要でない。

【0022】

20 回路への圧縮したテストパターン、解凍されたテストパターンへのそのデコンプレッション、及び、走査チェーンへの解凍されたテストパターンの適用の提供は、同期して連続的に事実上同時に実行される。しかしながら、各行為が生じる率を変えることができる。所望ならば、行為はすべて同じクロックレートで同期して実行することができる。又は、行為は異なるクロックレートで実行することができる。行為が同じクロックレートで実行される場合、又は圧縮したテストパターンがより高いクロックレートで提供され解凍される場合、図 2 のように、デコンプレッサー 36 および関連する走査チェーンの出力の数は、デコンプレッサーの入力チャンネルの数を超過するだろう。この第 1 のケースにおいて、デコンプレッションは、入力チャンネルより多くのデコンプレッサー出力の提供により達成される。圧縮したテストパターンがより低いクロックレートで提供され、より高いクロックレートで走査チェーンに解凍され適用される場合、出力および関連する走査チェーンの数は入力チャンネルの数より同じ、より少ない、又はより大きい。この第 2 のケースにおいて、デコンプレッションは、圧縮したテストパターン・ビットが提供されるクロックレートより高いクロックレートで、解凍されたテストパターン・ビットを生成することにより達成される。

【0023】

30 図 4 A は、圧縮したパターンがより高いクロックレートで提供され解凍される第 1 のケースの実施例を例示し、また、解凍されたパターンは、より低いクロックレートで走査チェーンに同期して適用される。テスター 21 は、クロック 0 (C0) によって設定された高い率で、デコンプレッサー 36 の入力チャンネル 37 へテスター・チャンネル 40 を介して、圧縮したパターンのビットを提供する。デコンプレッサーは、テスターと同じ率でクロック 1 (C1) によって計測され、出力 39 でその率で解凍されたパターンのビットを生成する。しかしながら、解凍されたビットは、走査チェーンへビットを計測するクロック 2 (C2) によって設定されたより低い率で走査チェーン 26 に適用される、率の差は、図 4 A 中の典型的なタイミング図において例示される (実際の差ははるかに大きくなりえる)。それらの差によって、デコンプレッサーの他出力毎に走査チェーンに書き込まれる。示されるような、テスター、デコンプレッサーおよび走査チェーンを計測するという 1 つの利点は、テスターが CUT 24 にテストパターンを提供するために走査チェーンの数より少ないチャンネルを必要とすることである。より高いクロックレート C0 でテスターを計測することによって、回路 34 に圧縮したテストパターンを適用するのに必要な時間は、著しく縮小される。別の利点は、テスト・モード中に消えたパワーを制御する低消費電力

(11)

JP 3845016 B2 2006.11.15

適用にある。これは、ビットが走査チェーンへシフトされるクロックレートC2を減少させることにより行うことができる。

【0024】

図4Bは、圧縮したテストパターンは、より低いクロックレートで提供され、より高いクロックレートで同期して解凍され、適用される第2のケースの実施例を例示する。ここで、テスター21は、クロック0(C0)によって設定されたより低い率でチャンネル40を介して、デコンプレッサー36の入力チャンネル37に圧縮したパターンのビットを提供する。デコンプレッサーはより高い率でクロック1(C1)によって計測される。解凍されたビットは、クロック1と同じ率でクロック2(C2)によってその出力39を介して走査チェーン26に適用される。率のこの差は、図4B中の典型的なタイミング図において例示される(実際の差ははるかに大きくなりえる)。差のために、ビットが変わる前に、デコンプレッサー36はテスター21から同じビットを2度読み取る。しかしながら、記述されるように、デコンプレッサーはステート・マシンを含んでいる。また、その内部状態が変わるので、その出力は各クロック・サイクルを変更する。図4Bの中で示されるようなテスター、デコンプレッサーおよび走査チェーンを計測するという1つの利点は、多くのチャンネルを持っているがそれらの後の僅かなメモリでテスター21を利用することができるということである。クロック・サイクル毎により多くのテスター・チャンネル上にビットを提供することによって、メモリ力の不足は克服され、また、圧縮したテストパターンの適用のために要求された時間が縮小される。

【0025】

図5は、本発明に係るデコンプレッサーのブロック図である。好ましい実施例において、所望ならば、デコンプレッサー36は、そのタップ48を介して、移相器50接続された線形有限状態マシン(LFSM)46を有する。移相器を介してLFSMは、CUT24における多数の走査チェーンの入力に多分に直線的に独立したテストパターンを提供する。LFSMは、変換を維持している多くのm-シーケンスの適用により得ることができる線形のフィードバック・シフトレジスタ、セル・オートマトンあるいは変形されたLFSRの標準形に構築することができる。LFSMの出力は、所定の時間に多数の走査チェーン26の各々内に存在する解凍されたパターン・ビットは、パターンにおいてオーバーラップしない(位相外である)ことを保証する移相器に適用される。

【0026】

ここに記述された連続フローデコンプレッションの概念は、テストパターン生成中に任意に満たされた残りのビットによって、決定論的なテストパターンは、典型的には決定論的に特定されているビットの2~5%の間にのみあるという上述した事実に基づいている(部分的に特定されたビット位置を備えたテストパターンはテスト立方体と呼ばれる。(その例はテーブル2に現われる))。外部的に格納されなければならないテスト・データ・ボリュームが著しく縮小されるように、部分的に特定されたテスト立方体が圧縮される。テスト立方体中の特定されたビットの数がより少ないほど、圧縮したパターンへ情報をエンコードする能力はよりよい。圧縮したパターンへテスト立方体をエンコードする能力は、仮想走査チェーンとしてテスターによって調べられるテスト中回路を駆動する少数のデコンプレッサー入力チャンネルを持つことにより開発される。しかしながら、実際のCUT24は、多数の実在の走査チェーンへその記憶素子を接続する。これらの状況の下では、走査チャンネルおよびテスト・データの格納に対する十分に小さなメモリをほとんど持たない、安価なテスターさえ、回路を外部的に駆動することができる。

【0027】

図6は、図5のデコンプレッサーの第一実施例をより詳細に示す図である。LFSMは原始多項式 $h(x) = x^8 + x^4 + x^3 + x^2 + 1$ を実装する8ステージ・タイプ1LFSR52で具体化される。多くのXORゲートで具体化された移相器50は夫々8ビット長の8個の走査チェーン26を駆動する。移相器の構成は、その出力チャンネルC0からC7の間で相互の離隔距離が少なくとも8ビットであるような方法で選択され、また、出力チャンネルはすべて次の形式がある3個の入力(タップ)XOR機能によって駆動される。

(12)

JP 3845016 B2 2006.11.15

【0028】

【表1】

$$\begin{array}{ll}
 C_0 = s_4 \oplus s_3 \oplus s_1 & C_4 = s_4 \oplus s_2 \oplus s_1 \\
 C_1 = s_7 \oplus s_6 \oplus s_5 & C_5 = s_5 \oplus s_2 \oplus s_0 \\
 C_2 = s_7 \oplus s_3 \oplus s_2 & C_6 = s_6 \oplus s_5 \oplus s_3 \\
 C_3 = s_6 \oplus s_1 \oplus s_0 & C_7 = s_7 \oplus s_2 \oplus s_0
 \end{array}$$

テーブル 1

10

C_iはi番目の出力チャネルであり、S_kは、LFSRのk番目のステージを示す。LFSRは、クロック・サイクル毎に、その2個の入力チャネル37a、37bおよび入力インジェクター48a、48b（XORゲート）を介して、レジスタの第2および第6のステージへ与えられると仮定する。チャネル37a上で受信した入力変数「a」（圧縮したテストパターン・ビット）は、偶数の添字（a₀、a₂、a₄、...）によってラベル付けされ、また、チャネル37a上で受信した変数「a」は、奇数の偶数の添字（a₁、a₃、a₅、...）によってラベル付けされる。ブールとしてこれらの外部変数を扱うと、走査セルはすべて概念的に、テスター21によってLFSR52に注入された入力変数の線形関数である記号表現で満たすことができる。フィードバック多項式（移相器50）を与えられると、LFSRだけがテスト・データによって供給される4つのクロック・サイクルの追加の初期期間と同様にインジェクター48a、bの位置にて、図6中の走査チェーン26内の各走査セルの内容は論理上決定することができる。図7は、図6中で識別される走査チェーンC7、C1（C6）に対応する図6の中で0～7と番号付けられた走査チェーンで、図6中の64個の走査セルのための式を与えている。図7の中の各走査チェーンの式は、情報がチェーンへシフトされる順にリストされる。つまり、一番上の式は、データが1番目にシフトしたことを示す。

20

【0029】

図6中のデコンプレッサー36が、テーブル2の次の部分的に特定されたテスト立方体に基づいたテストパターンを生成すると仮定する（ここに、8つの走査チェーンの内容は、走査チェーンへ最初にシフトされる情報を表わす左端のカラムによって水平に示される）。

30

【0030】

xxxxxxxx	走査チェーン0
xxxxxxxx	走査チェーン1
xxx11xx	走査チェーン2
xx0xxx1x	走査チェーン3
xxxx0xx1	走査チェーン4
xx0x0xxx	走査チェーン5
xx1x1xxx	走査チェーン6
xxxxxxxx	走査チェーン7

テーブル2

40

変数xは、「どちらでもかまわない」条件を示す。対応する圧縮したテストパターンは、ガウス・ジョルダン消去法技術のような多くの周知の技術のいずれかを使用する図7から次の10個の方程式の系の解により決定することができる。選択された方程式は、決定論的に特定されたビットに相当する。

【0031】

【表2】

50

(13)

JP 3845016 B2 2006.11.15

$$\begin{aligned}
 a_2 \oplus a_6 \oplus a_{11} &= 1 \\
 a_0 \oplus a_1 \oplus a_4 \oplus a_8 \oplus a_{15} &= 1 \\
 a_4 \oplus a_5 \oplus a_9 \oplus a_{11} &= 0 \\
 a_0 \oplus a_2 \oplus a_5 \oplus a_{12} \oplus a_{13} \oplus a_{17} \oplus a_{19} &= 1 \\
 a_1 \oplus a_2 \oplus a_4 \oplus a_5 \oplus a_6 \oplus a_8 \oplus a_{12} \oplus a_{15} &= 0 \\
 a_0 \oplus a_1 \oplus a_3 \oplus a_5 \oplus a_7 \oplus a_8 \oplus a_{10} \oplus a_{11} \oplus a_{12} \oplus a_{14} \oplus a_{18} \oplus a_{21} &= 1 \\
 a_2 \oplus a_3 \oplus a_4 \oplus a_9 \oplus a_{10} &= 0 \\
 a_0 \oplus a_1 \oplus a_2 \oplus a_6 \oplus a_7 \oplus a_8 \oplus a_{13} \oplus a_{14} &= 0 \\
 a_3 \oplus a_4 \oplus a_5 \oplus a_6 \oplus a_{10} &= 1 \\
 a_0 \oplus a_1 \oplus a_3 \oplus a_7 \oplus a_8 \oplus a_9 \oplus a_{10} \oplus a_{14} &= 1
 \end{aligned}$$

10

テーブル 3

残りの変数が0の値を仮定している一方、シード変数 a_0 、 a_1 、 a_2 、 a_3 と a_{15} は1の値と等しいことを立証することができる。このシードは、続いて次の形式で十分に特定されたテストパターンを生成する（初期の特定された位置に下線が引かれる）。

20

【0032】

【表3】

1	0	1	0	0	1	0	0
1	1	0	0	0	1	0	0
1	1	1	1	1	1	1	0
0	0	0	1	0	0	1	1
1	0	1	0	0	0	0	1
1	1	0	1	0	0	0	0
1	1	1	1	1	1	1	1
0	1	0	0	1	1	0	0

30

テーブル 4

見て分かるように、（圧縮したパターン・ビットの数で割られた走査セルの数として定義された）達成された圧縮比は、

【0033】

【数1】

40

$$64 / (2 \times 8 + 2 \times 4) \approx 2.66.$$

である。

【0034】

図8A-Dは、図5のLFSM46のための様々な実施例を例示する。図8Aは、タイプI LFSR60である。図8Bは、タイプII LFSR62である。図8Cは、変形されたLFSR64である。また、図8Dは、セル・オートマトン66である。それらは

50

(14)

JP 3845016 B2 2006.11.15

すべて原始多項式を実装する。セル・オートマトン 66 を除いて、各場合において、LFSM は、シフトレジスタ構成において接続している多くの記憶素子を含んでいる。さらに、LFSM の次のステートを一意に決定する様々なメモリセル間にいくつかのフィードバック結合がある。フィードバック結合は、目的記憶素子の近くの XOR ゲートの形態にてインジェクターの導入によって設計に同化する。入力チャネル 37 は、入力インジェクター 48 a、b によって LFSM に圧縮したパターンのビットを提供する。インジェクターは、ビットのそれらのソースが入力チャネルである以外の LFSM の内では、同様に他のフィードバック結合として扱われる。入力チャネル 37 は、符号化効率を改善するために異なる LFSM インジェクター 48 を駆動する多数のファンアウトを持っても良い。

【0035】

10

図 9 は、再度時間を測る LFSR 68 の形態にて 32 ビットの LFSM の最良の実施例を示す。一旦入力変数が LFSM に注入されると、入力変数が最適に配信されるように、インジェクターは等しく間隔を置かれる。実際、LFSM のサイズは、回路において、符号化の所望の圧縮比、そしてテスト中回路のある構造の特性上において、実在の走査チェーンの数に依存する。

図 10 は、XOR ゲートではなく多くの XNOR ゲートで構築された移相器 50 の他の実施例を例示する。移相器は XNOR と XOR のゲートから組合せて同様に構成することができる。

【0036】

図 11 は、デコンプレッサーに圧縮したテストパターンを適用するためのパラレルに連続するコンバージョンの使用を例示する。デコンプレッサー 36 への入力チャネル 37 が、テスター 21 のチャネル 40 の数より数においてより少ない場合、入力でデコンプレッサーにレジスタ 70 のような並列に連続するコンバーターを提供することは有利かもしれない。ビットの次のセットがテスター 21 からのレジスタに適用される前にレジスタの内容がシフトされるそのように、レジスタ 70 は計測される。テストパターンの連続フローはこのように維持されている。

20

【0037】

図 12 は、回路 34 に提供するのではなく、デコンプレッサー 36 を含んでいる実施例中のテスター 21 のブロック図である。テスターはテストパターンを内部に解凍し、CUT 24 に解凍されたテストパターンを送信する。そのようなテスターは、テスト時間を重要とするのではなく、それが各テスト中回路にデコンプレッサーを加えなということが好ましいという点で利点を有する。圧縮したテストパターン（完全なテストパターンではなく）を単に格納するので、記憶装置の条件はさらに縮小される。さらに、上記のテスター実施例の変形において、圧縮器 38 も、回路 34 ではなくテスター 21 に含むことができる。そして、回路は、テスターに対する圧縮されていないテスト応答を返す。これはさらに回路デザインを単純化する。

30

【0038】

テストパターンを解凍する処理は、図 5 を参照してより詳細に記述される。LFSM 46 は初期のオールゼロステートからその演算を始める。n ビット LFSM および m 入力インジェクターを想定すると、実際のテストパターンに対応するビットを生成し始める前に

40

【0039】

【外 1】

[n/m]

クロック・サイクルは、LFSM を初期化するために使用しても良い。LFSM の初期化及びクロック CO 及び CI が同じ率で実行していると仮定した後、新しいビットは、移相

50

(15)

JP 3845016 B2 2006.11.15

器50によるすべてのクロック・サイクル毎に、並列に各走査チェーン26にロードされる。この時に、テスト中回路34は走査モードで操作され、解凍されたテストパターンが0sと1s内で走査チェーンに26を満たす（そしてそこに格納されたどんな前のテスト応答もシフトする）。残りの位置がLFSMによって生成されたランダムなビットで満たされている一方、走査チェーン中の少数のビット位置はしたがって、決定論的に特定された値を得る。テストパターンがシフトされるクロック・サイクル数は、最長の走査チェーン中のセルの数と少なくとも同じくらいの数で、回路内の最長の走査チェーンの長さによって決定される。最長の走査チェーンが全テストパターンを得るまで、走査変更信号はしたがってすべての走査チェーンに対して高位に保持される。シフトされる最初の数ビットが情報消失なしで書き込まれるように、回路中のより短い走査チェーンは左に寄せられる

【0040】

LFSMからのパターンは直線的に依存するかもしれない。言い換えれば、著しく関連している多数の走査チェーンの二次元構成内の様々なビット位置を決定することは可能である。相互に依存性のある形式を有する位置によって、駆動されたゲートへの障害励起に必要な刺激を提供することが多くの場合可能でないように、これは試験性問題を起こす。従って、走査チェーン内の様々なビット位置間の線形の依存性を縮小するために、（多くのXORゲートかXNORゲートのような）移相器50は、LFSMのタップ（出力）で使用されるかもしれない。XORロジックはXORゲートのサイズに依存する2レベルかマルチレベルでありえる。CUT24中のすべての走査チェーンは、LFSMからのタップ

48の部分集合をXORすることによって得られる信号によって駆動される。テスト立方体の符号化効率がさらに維持されているように、これらのタップが決定される。さらに、LFSMの中のメモリセルがすべてファンアウト信号のほぼ等しい数を持ち、伝搬遅延が適切に最適化されるように、タップは方法で選択されている。一旦、解凍されたテストパターンは、テスト・モード中に走査チェーンに完全にロードされると、CUT24は演算の標準モードに切り替えられる。その後、CUTは、走査チェーン中のテストパターンによって提供される励振下その通常動作を実行する。CUTのテスト応答は走査チェーンにおいて取り込まれる。取り込む間、新しい初期化サイクルが次のテストパターンのロードのために始める前に、LFSMはオールゼロステートにリセットされる。

【0041】

典型的な実施例において本発明の原理について例証し記述することによって、そのような原理から外れずに構成と詳細において、例示される実施例を変更できることは当業者にとって明白である。例示される実施例がこれらの原理を教授するように意図され、本発明の範囲に対する制限であるようには意図されないことが理解されるべきである。我々は、したがって、次の請求項およびそれらの均等物の範囲および精神内で生ずる全てを本発明として要求する。

【図面の簡単な説明】

【図1】 走査チェーンによってデジタル回路をテストするための従来のシステムのブロック図である。

【図2】 走査チェーンによってデジタル回路をテストするための本発明に係るテスト・システムのブロック図である。

【図3】 走査チェーンによってデジタル回路をテストするための本発明に係るシステムの第二実施例のブロック図である。

【図4A】 システムの構成要素間で可能となる異なる可能なタイミング関係を例示するタイミング図を含む、本発明に係るテスト・システムのブロック図である。

【図4B】 システムの構成要素間で可能となる異なる可能なタイミング関係を例示するタイミング図を含む、本発明に係るテスト・システムのブロック図である。

【図5】 線形有限状態機械（LFSM）及び移相器を含む、本発明に係るデコンプレッサーのブロック図である。

【図6】 走査チェーンに連結された図5のデコンプレッサーの最初の実施例をより詳細

(16)

JP 3845016 B2 2006.11.15

に示す。

【図 7】 図 5 の走査チェーンに各走査セルに格納されたビット用の論理式を示す。

【図 8 A】 図 5 の L F S M の他の実施例を例示する。

【図 8 B】 図 5 の L F S M の他の実施例を例示する。

【図 8 C】 図 5 の L F S M の他の実施例を例示する。

【図 8 D】 図 5 の L F S M の他の実施例を例示する。

【図 9】 3 2 ビットの L F S M の最良の実施例を例示する。

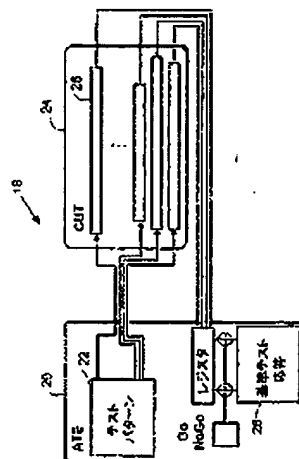
【図 1 0】 図 5 の移相器の他の実施例を例示する。

【図 1 1】 デコンプレッサーに圧縮したテストパターンを適用するための並列から直列への変換の使用を例示する。

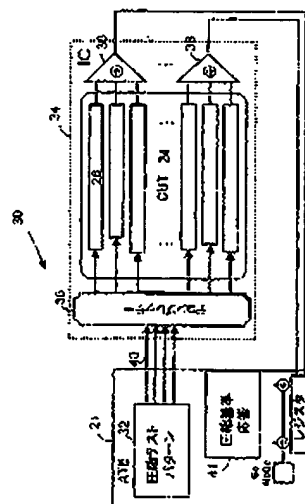
10

【図 1 2】 走査チェーンによってデジタル回路をテストするための本発明に係るテストのブロック図である。

【図 1】



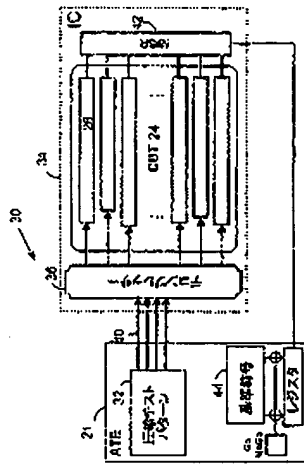
【図 2】



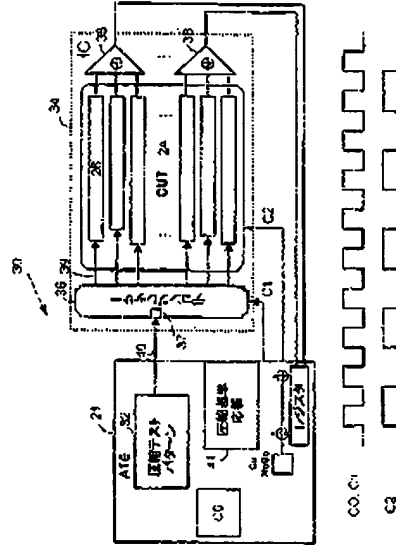
(17)

JP 3845016 B2 2006.11.15

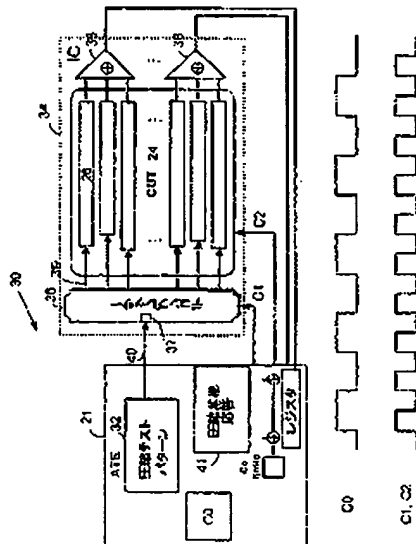
【図 3】



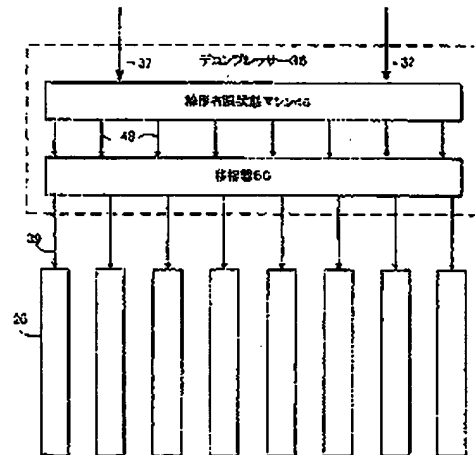
【図 4 A】



【図 4 B】



【図 5】



(18)

JP 3845016 B2 2006.11.15

【図6】

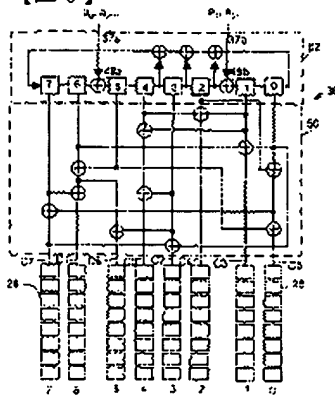


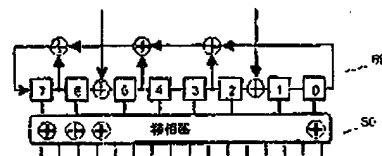
FIG. 6

【図7】

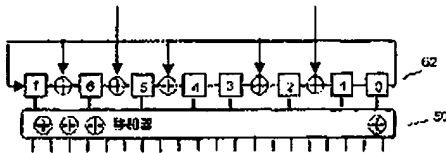


FIG. 7

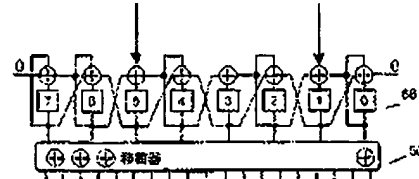
【図8A】



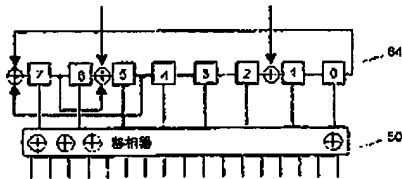
【図8B】



【図8D】



【図8C】



【図9】

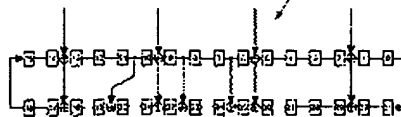


FIG. 9

(19)

JP 3845016 B2 2006.11.15

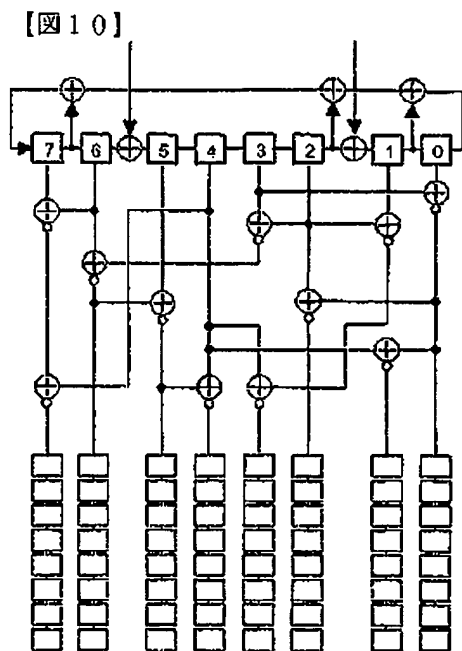
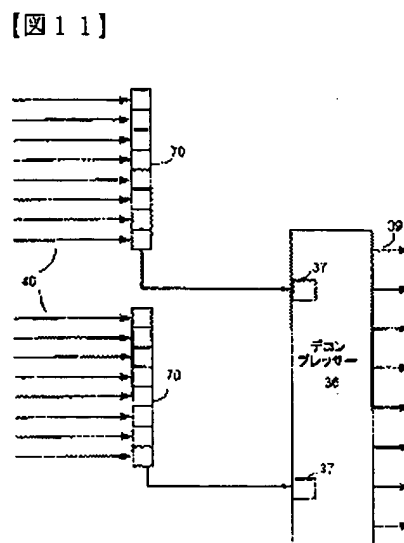
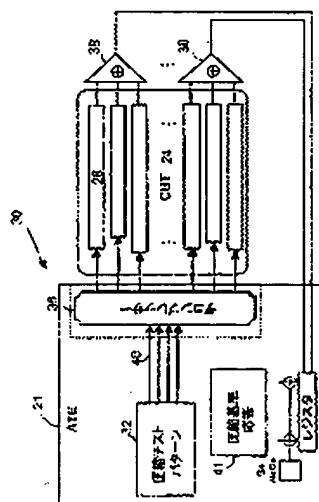


FIG. 10



【図 12】



(20)

JP 3845016 B2 2006.11.15

フロントページの続き

(72)発明者 ラジスキー, ジャヌーツ

アメリカ合衆国 オレゴン州 97068 ウェスト・リン ホートン・ロード 6502

(72)発明者 タイツァー, ジャーヴィ

ポーランド国 61-249 ポズナニ オス・スタレ・ゼグルゼ 89シー/2

(72)発明者 カッサブ, マーク

アメリカ合衆国 オレゴン州 97070 ウィルソンヴィル エス・ダヴリュー・ローズ・レー
ン 29665 アパートメント 288

(72)発明者 ムケルジー, ニランジャン

アメリカ合衆国 オレゴン州 97070 ウィルソンヴィル エス・ダヴリュー・パークウェイ
・コート 29290 アパートメント 92

審査官 堀 圭史

(56)参考文献 特開平03-002579 (JP, A)

特開平11-030646 (JP, A)

特開平11-6852 (JP, A)

Janusz Rajski et al., Test Data Decompression for Multiple Scan Designs with Boundary
Scan, IEEE Transactions on computers, 米国, 1999年 1月21日, Vol. 47, No. 11, 1
188-1200

(58)調査した分野(Int.Cl., DB名)

G01R 31/28-3193

G06F 11/22-277

G11C 29/00-56

H01L 21/64-66